

奇产生器预置型格雷码计数器的 GAL 实现

李正生^{1,2}, 马文彦², 闫 杰¹

(1 西北工业大学 航天学院, 陕西 西安 710072; 2 第二炮兵工程大学, 陕西 西安 710025)

摘 要: 格雷编码的计算机程序存储器地址总线没能推广的主要问题是格雷码计数器不便于置数。将奇产生电路用于格雷码计数器中, 设计了附加位预置型和直接预置型两种可置数格雷码加法计数器。并用 GAL16V8 对后者进行了加电验证, 证实了设计的有效性。

关键词: 格雷码计数器; 预置; 奇偶性; 奇产生器; 异或门; 程序计数器; 地址总线; 通用逻辑阵列

中图分类号: TP332

文献标识码: A

文章编号: 1000-7180(2013)02-0050-03

Odd Parity Generator Preset—Type Gray Code Counter Based on GAL

LI Zheng-sheng^{1,2}, MA Wen-yan², YAN Jie¹

(1 College of Astronautics, Northwestern Polytechnical University, Xi'an 710072, China;

2 Second Artillery Engineering University, Xi'an 710025, China)

Abstract: The main trouble of address bus of computer program memory coded by Gray code hasn't been widely applied is presetting of Gray code counter isn't easy. Using the odd parity generator in Gray code counter, the presetting can be solved perfectly. Two kinds of Gray code plus counter of additional bit preset—type and direct preset—type are designed. The latter is implemented by GAL16V8 and the validity of the design is confirmed.

Key words: Gray code counter; preset; parity; odd parity generator; XOR gate; program counter; address bus; (generic array logic) GAL

1 引言

因 1953 年公开的 Frank Gray 专利“Pulse Code Communication”^[1] 得名的格雷码^[2] 的一种重要应用是格雷码计数器。当±1 时, 格雷码计数器只有 1 位发生变化, 可以避免竞争冒险, 现常用其作为 FIFO 的读写指针^[3-4]; 再加上 CMOS 格雷码计数器动态功耗较低^[5], 有人在低功耗计算机中使用格雷码作为程序存储器地址总线的编码^[6]; 在地址总线跳变连续时, 可以减少近 50% 的跳变产生的动态功耗。但是, 这种方案 20 多年来一直没有很好的推广应用, 有必要分析其原因并予以改进。

2 常用格雷编码地址总线

由于指令的跳转需要重设程序计数器, 而格雷

码计数器不便于设置, 故已知的方案^[6-8] 多采用图 1 中所示二进制计数器加异或门构成的地址电路^[7]。

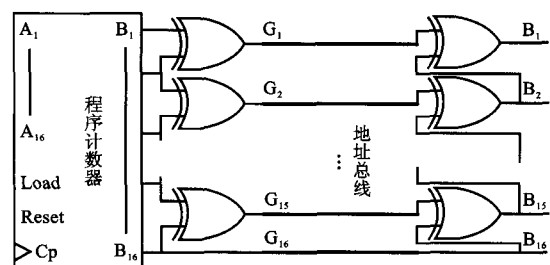


图 1 常用格雷编码地址总线

图 1 中, 程序计数器是便于置初值的二进制计数器, 经异或门获得准格雷码输出到地址总线上, 后端程序存储器经异或门获得二进制地址再使用。因此尽管总线上存在的毛刺而这时操作信号尚未起作

用故不影响使用,但也有额外功耗;且计数器本身动态功耗未变;还需要格雷码和二进制码的相互转换,因而也会增加少许电路面积和功耗。

实际上,由于格雷码也是二进制数,它与相同位数的自然二进制数的模相同,故采用合适的分段策略,程序存储器可以直接使用格雷码寻址,能省下后端异或门的功耗。

可以看出,设计一种能够预置的格雷码计数器直接用于计算机的程序计数器,则可以降低计数器本身的动态功耗。

3 典型格雷码加法计数器

已经有多种方法可以设计出各种优良的格雷码加法计数器。比较典型的一种电路形式如图 2^[2]所示。

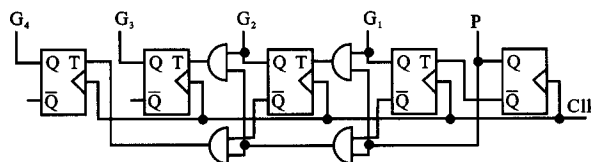


图 2 典型格雷码加法计数器

这种并行格雷码计数器有多种变形,一种是为了提高速度将与门输入都直接连接到最小项,另一种变形是为了便于使用只有 Q 输出的触发器而只引出 Q 端,其反相信号通过反相器获得。

这种计数器可以方便地在中间插入级联位以扩展位数,但如何预置尚未见报道。

4 格雷码计数器的预置

除了输出格雷码的计数单元,图 2 计数器还有一个附加触发器,它与计数单元的结果一起确定要翻转的关键位^[9]以控制格雷码的正确产生。其计数部分初值的设置与自然二进制计数器的设置相同,关键是附加位的正确设置。

由于附加触发器是一个自然二进制计数器,因此其输出 P 对应了格雷码计数的整数奇偶性。表 1 列出了典型格雷码计数器清 0 后各脉冲产生的输出情况。

表 1 四位模 16 典型格雷码计数器的输出

脉冲 计数	自然 二进制码	典型 格雷码	P	P	典型 格雷码	自然 二进制码	脉冲 计数
0	0000	0000	0	1	1000	1111	15
1	0001	0001	1	0	1001	1110	14
2	0010	0011	0	1	1011	1101	13
3	0011	0010	1	0	1010	1100	12
4	0100	0110	0	1	1110	1011	11
5	0101	0111	1	0	1111	1010	10
6	0110	0101	0	1	1101	1001	9
7	0111	0100	1	0	1100	1000	8

在奇偶标志位和奇偶产生器/奇偶校验器中,会用到二进制数中 1 的数量的整数奇偶性的概念,但一直未见定义,可命名为 1 数奇偶性。

由表 1 可知^[10]:

(1) 格雷码的整数奇偶性与 1 数奇偶性相同,可以用奇产生器(即多输入异或门,如 9 位的 74HC280、16 位的 74HC7080 等)获得;

(2) 格雷码加法计数的规律是:若仅首位 1,将其置为 0;偶数变末位,奇变末 1 前。

据此,有两种方式预置格雷码计数器的初值。

4.1 附加位预置格雷码计数器

可以看出,对于图 2 典型格雷码计数器,在预置各格雷码位的同时,恰当地设置附加位,就可以达到预置初值并正确计数的目的。

图 3 置数电路在用 Load 信号将初值装入图 2 所示计数器初值的同时,根据数值的奇偶性通过奇产生器设置附加位的初值:偶数置 0,奇数置 1。从而保证了计数器的正确工作。

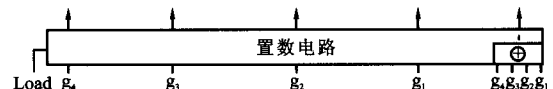


图 3 附加位预置格雷码计数器的置数电路

4.2 直接预置格雷码计数器

既然附加触发器是检查计数结果奇偶性的,直接用奇产生器代替附加触发器得到奇产生结果形成的可预置格雷码计数器如图 4 所示。

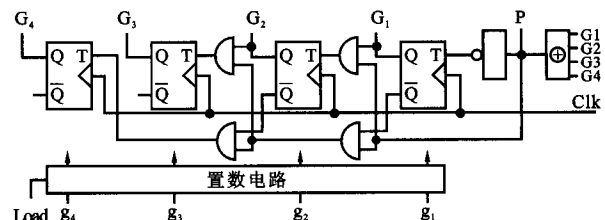


图 4 直接预置格雷码计数器

此电路更加简洁合理。它用 1 个反相器替代了附加位预置型电路中的 1 个触发器。

特别是,由于奇产生器的输入引自格雷码计数器的输出端,因此无论计数器处于任何状态,它都能正确计数!而带有附加触发器的计数器,需清 0 或置数一次后才能正确计数。但是,由于奇输出是用异或门产生的,当计数器级数较多时,级联异或电路的多级延时可能比触发器翻转延时长。

需要时,可以用多个二输入异或门得到二进制输出。但是必需注意,为了使计数器的速度尽量高,不要使用常见的格雷码到二进制数的串行转换电

路,而应当采用格雷码到二进制的并行转换电路^[2].

5 直接预置型格雷码计数器的 GAL 实现

图 4 的四位计数器可以使用通用逻辑阵列集成电路 GAL16V8 实现. 在 Protel99SE 中用电原理图实现的有二进制输出的带清零直接预置型格雷码计数电路如图 5 所示.

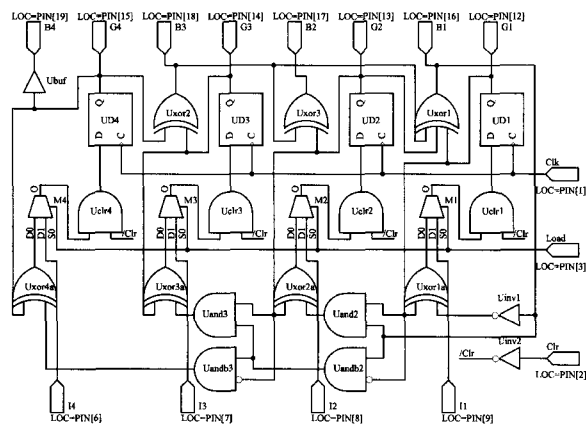


图 5 有二进制输出的带清零直接预置型格雷码计数器的 GAL 电路图

图 5 中, Clk 为时钟信号端, G1~G4 为格雷码计数输出端, B1~B4 为二进制数输出端, I1~I4 为格雷码置数数据端, Load 为置数控制端, Clr 为置 0 端, 二者均高电平有效. 当 Clr 有效时, 各 D 触发器的 D 输入端均置为 0; 当 Load 信号有效时, D 输入端由二选一多路器选中置数数据端 I1~I4, 时钟有效后执行清零或置数功能.

为了获得尽量高的奇产生速度, 这里使用三输入异或门 Uxor1 串联二输入异或门 Uxor2 的准并联输入方式, 编译展开后只有两级异或门的延时. GAL16V8 功能有限, 对于复杂的函数表达式有时必须添加中间辅助变量虚输出端, 如图 5 中的 B3. 由于奇产生信号实际上就是二进制数的最低位 B1, 加上格雷码的最高位就是二进制数的最高位 B4, 且已经有了次高位 B3, 增加一个异或门 Uxor3 得到次低位 B2 后就获得了全部二进制数.

电路编译后将 JED 文件用 WH-500A 写入 Atmel 的 ATF16V8B-15PC, 用 GAL 测试器加电验证. 为便于观察, 时钟频率约为 1Hz. 验证表明同步清零、预置及加法计数工作正常.

在 Protel99SE 图形编程模式下, GAL16V8 可以实现 6 位带清零可预置格雷码计数器, 验证正常.

需要注意, 使用时要将 GAL 的 /OE 端接地, 否则计数器内部虽然正常工作, 二进制数能正常输出, 但各 D 触发器的结果不能输出到芯片外部.

另外, Sch 文件的主文件名不得超过 26 个字符数字, 否则编译失败并会产生如下错误信息:

Statu: Unexpected termination!

Pass: CUPLM - Minimizing logic

6 结束语

两种可预置格雷码计数器结构简单, 便于理解. GAL16V8 不便于实现异步操作, 如想获得异步清零、预置功能, 可考虑使用带有异步功能的 GAL18V10 和 GAL22V10 等 SPLD 和 EPM7128 等 CPLD/FPGA, 使用后者可以容易地实现足够多的位数. 将它们用于计算机的程序计数器, 可以降低计数器的动态功耗, 为低功耗计算机采用格雷编码地址总线提供了方便. 这两种计数器也可用在其他需要的场合.

可预置格雷码计数器增加级联功能后可以像自然二进制计数器集成电路一样方便使用.

参考文献:

- [1] Frank Gray. Pulse code communication 2632058 [P]. USA, 1953-03-17.
- [2] Robert W Doran. The gray code[J]. Journal of Universal Computer Science, 2007, 13(11): 1573.
- [3] 杨平中, 孙义和. 视频信号处理 SoC 中异步时钟处理技术[J]. 微电子学与计算机, 2010, 27(6): 24-27.
- [4] 于海, 樊晓桢. 基于 FPGA 异步 FIFO 的研究与实现[J]. 微电子学与计算机, 2007, 24(3): 210-213.
- [5] 闫林. MOS 门电路测试过程中功率损耗最小化[J]. 微电子学与计算机, 2000, 17(2): 39-41.
- [6] SU Chinglong, TSUI Chiying, Alvin M Despain. Low power architecture design and compilation techniques for high-performance processors[EB/OL]. (2007-11-07)[2009-07-21]. <http://wenku.baidu.com/view/42cc8c4cfe4733687e21aad2.html>.
- [7] Prabhat K Saraswat, Ghazal Haghani, Appiah K Bernard. A low power design of gray and to codecs for the address bus encoding for system level power optimization [EB/OL]. (2007-03-13)[2012-10-03]. <http://wenku.baidu.com/view/28ba744433687e21af45a9fc.html>.
- [8] 车德亮, 周国昌, 李伟, 等. 高性能 LS-DSP 的逻辑设计与低功耗设计[J]. 微电子学与计算机, 2006, 23(1): 15-20.

(下转第 56 页)

3.2 改进文件系统对读写速度的影响

改进文件系统比原文件系统多了许多处理步骤,会对 NAND 存储器的读写速度产生影响.将上述监测设备采用 USB 连接电脑,并使用权威读写测试软件 ATTO 测试,其典型结果如图 5、图 6 所示.

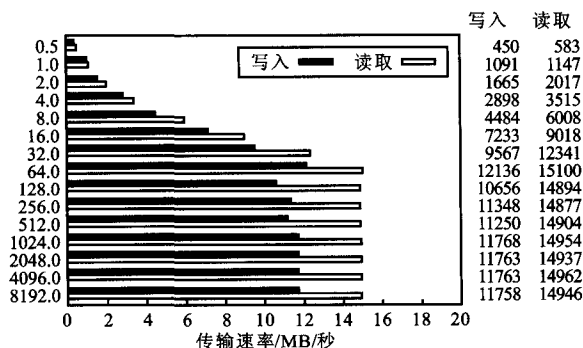


图 5 原文件系统的文件读写速度

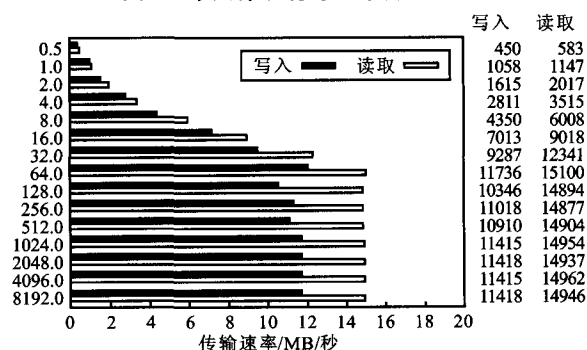


图 6 改进文件系统的读写速度

可以看出,读取速度没有影响,而写入速度大约降低了 3%.因为写入时是直接向新块中写入,并将旧页标记为已删除,因此对写入速度的影响并不是

很大.使用原 FAT 系统的设备使用改进系统后对系统性能也没有显著影响,反而可以有效的提高系统的使用寿命.

4 结束语

分析与测试表明,改进型文件系统对较大容量的 NAND 存储器的使用寿命和文件可靠性均有较大提升,在 FAT 文件系统上的实现证实了它的可靠性,具有较高的推广和使用价值.

参考文献:

- [1] 姚堃,张俊涛.提高 FAT 文件系统在 NAND 存储器上可靠性的研究[J].微电子学与计算机,2010,27(4):75-81.
- [2] 丁双喜,张盛兵,贾宝峰.双通道流水线 Flash 存储系统的设计[J].微电子学与计算机,2008,25(8):224-228.
- [3] Microsoft Corporation. Microsoft extensible firmware initiative FAT32 file system specification[S]. Version 1.03,2000.
- [4] Samsung Corporation. Advance flash memory-K9G8G08U0M[S/OL]. [2000-10-11]. <http://wenku.baidu.com/view/b8d70ce9856a561252d36ff4.html>.

作者简介:

董萍女,(1980-),硕士,讲师.研究方向为嵌入式计算机应用技术.

(上接第 52 页)

- [9] 刘碧海,谢嘉宏.格雷码的关键位位置决定装置及方法 1756085A[P].中国,2006-04-05.
- [10] 李正生,马文彦.一个人工智能问题:用格雷码±1 的规律套解九连环[C]//Anon. 3rd World Congress on Intelligent Control and Automation. China:Hefei: Proceedings of the 3rd World Congress on Intelligent Control and Automation. 2000, 1-5/304-307.

作者简介:

李正生男,(1957-),博士研究生,教授.研究方向为信号与信息处理,自动化测试与控制,电子系统故障诊断.

马文彦女,(1956-),硕士,高级实验师.研究方向为核科学技术.

闫杰男,(1960-),博士,教授,博士生导师.研究方向为飞行器控制与仿真.